

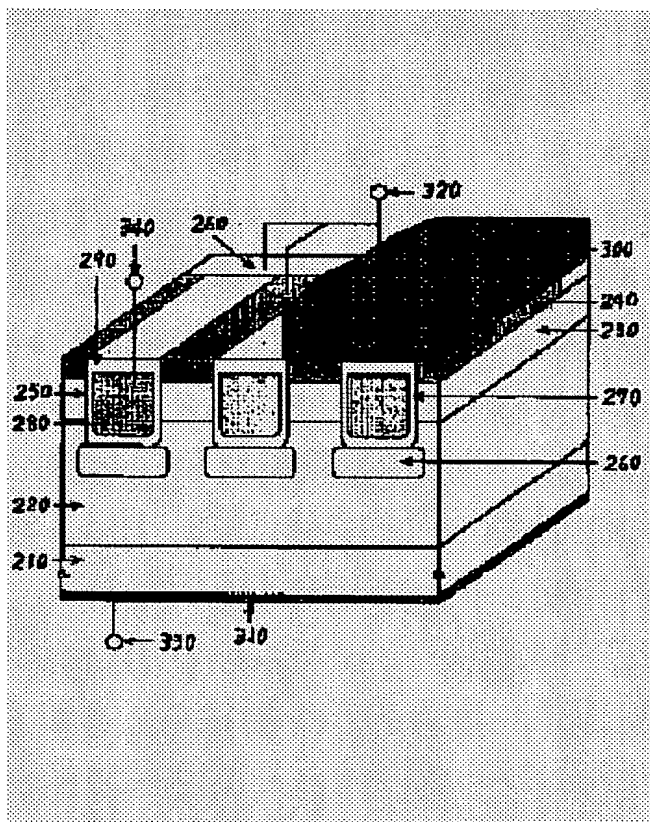
FIELD EFFECT TRANSISTOR

Patent number: JP2000216381
Publication date: 2000-08-04
Inventor: HOSHI MASAKATSU
Applicant: NISSAN MOTOR CO LTD
Classification:
- international: H01L29/78
- european:
Application number: JP19990013919 19990122
Priority number(s):

Abstract of JP2000216381

PROBLEM TO BE SOLVED: To enhance a drain breakdown voltage, simplify process, and lower channel resistance.

SOLUTION: An epitaxial region 220 comprising an N-type SiC is formed on a wide-band gap semiconductor wafer 210 comprising an N+-type SiC, a channel region 230 comprising an N-type SiC and a source region 240 comprising an N+-type SiC are laminated and formed on an epitaxial region 220, a plurality of grooves 250 which reach the epitaxial region 220 are formed on a prescribed region on the main side of the epitaxial region 220, a semiconductor region 260 comprising a P-type SiC is formed on an adjacent section of the groove 250, a gate electrode 280 is formed in the groove 250 via a gate insulating film 270, a source electrode 300 is formed insulated from the gate electrode 280 by an interlayer insulating film 290, and a drain electrode 310 is formed on the backside of the wide-band gap semiconductor wafer 210.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216381

(P2000-216381A)

(43) 公開日 平成12年8月4日(2000.8.4)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78

H 0 1 L 29/78

6 5 2 C

6 5 2 T

6 5 3 A

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平11-13919

(22) 出願日

平成11年1月22日(1999.1.22)

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 星 正勝

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(74) 代理人 100068353

弁理士 中村 純之助 (外1名)

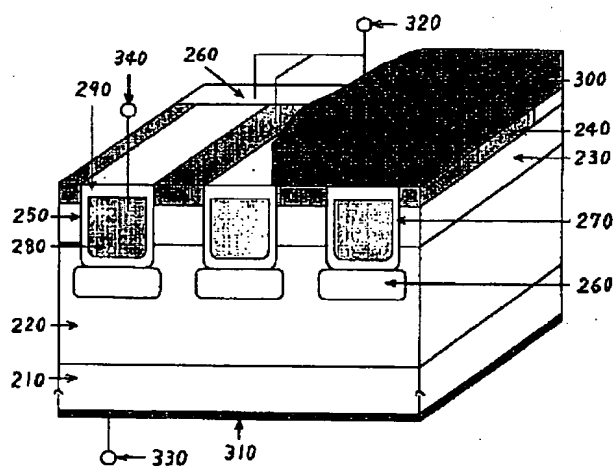
(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】 ドレイン耐圧を高くし、プロセス工程を単純にし、チャンネル抵抗を低くする。

【解決手段】 N⁺型SiCからなるワイドバンドギャップ半導体基板210上にN型SiCからなるエピタキシャル領域220を形成し、エピタキシャル領域220上にN型SiCからなるチャンネル領域230およびN⁺型SiCからなるソース領域240を積層して形成し、エピタキシャル領域220の一主面側の所定の領域にエピタキシャル領域220に達する複数の溝250を形成し、溝250の隣接部にP型SiCからなる半導体領域260を形成し、溝250内にゲート絶縁膜270を介してゲート電極280を形成し、層間絶縁膜290によりゲート電極280と絶縁してソース電極300を形成し、ワイドバンドギャップ半導体基板210の裏面にドレイン電極310を形成する。

図 1



210…ワイドバンドギャップ半導体基板
230…チャンネル領域
250…溝
260…半導体領域
270…ゲート絶縁膜

【特許請求の範囲】

【請求項1】 Siよりバンドギャップの広い半導体からなるワイドバンドギャップ半導体基板を有する電界効果トランジスタにおいて、第1導伝型の上記ワイドバンドギャップ半導体基板の一主面の所定の領域に複数の溝を形成し、隣接する上記溝の間に第1導伝型のチャンネル領域を形成し、上記溝に隣接した部分に第2導伝型の半導体領域を形成し、上記溝内にゲート絶縁膜を形成し、上記ゲート絶縁膜により上記チャンネル領域と絶縁してゲート電極を形成したことを特徴とする電界効果トランジスタ。

【請求項2】 上記ワイドバンドギャップ半導体基板としてSiCからなるものを用いたことを特徴とする請求項1に記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はSi（珪素）よりバンドギャップの広いSiC（炭化珪素）等の半導体からなるワイドバンドギャップ半導体基板を有するパワーMOSFET等の電界効果トランジスタに関するものである。

【0002】

【従来の技術】 図7は従来の電界効果トランジスタ（特開平9-74191号公報）を示す断面図である。図に示すように、高濃度N⁺型SiCからなるワイドバンドギャップ半導体基板10上にN型SiCからなるエピタキシャル領域20が形成され、エピタキシャル領域20上にP型SiCからなるエピタキシャル領域60が形成され、エピタキシャル領域60内に溝50およびN⁺型SiCからなるソース領域40が形成され、溝50の側壁にN型SiCからなるチャンネル領域30が形成され、溝50内にゲート絶縁膜70を介してゲート電極80が形成されている。また、層間絶縁膜90によりゲート電極80と絶縁されてソース領域40に接続されたソース電極100が形成され、ワイドバンドギャップ半導体基板10の裏面にドレイン電極110が形成されている。

【0003】 この電界効果トランジスタにおいては、ドレイン電極110とソース電極100との間に電圧が印加された状態で、ゲート電極80に電圧が印加されると、ゲート電極80に対向したチャンネル領域30の表面にN型蓄積層のチャンネルが形成され、ドレイン電極110からソース電極100に電流が流れる。

【0004】

【発明が解決しようとする課題】 しかし、図7に示した電界効果トランジスタにおいては、ドレイン電極110に高電圧が印加されたとき、溝50の底部のゲート絶縁膜70に電界が加わるので、ドレイン耐圧が低い。また、溝50の側壁にチャンネル領域30をエピタキシャル法によって形成するので、プロセス工程が複雑とな

る。そして、トレンチエッチングにより形成した溝50の側壁にエピタキシャル法により均質で欠陥の少ないチャンネル領域30を形成するのは困難であり、トレンチエッチングのダメージの影響によりチャンネル抵抗が高い。

【0005】 本発明は上述の課題を解決するためになされたもので、ドレイン耐圧が高く、プロセス工程が単純であり、チャンネル抵抗が低い電界効果トランジスタを提供することを目的とする。

【0006】

【課題を解決するための手段】 この目的を達成するため、本発明においては、Siよりバンドギャップの広い半導体からなるワイドバンドギャップ半導体基板を有する電界効果トランジスタにおいて、第1導伝型の上記ワイドバンドギャップ半導体基板の一主面の所定の領域に複数の溝を形成し、隣接する上記溝の間に第1導伝型のチャンネル領域を形成し、上記溝に隣接した部分に第2導伝型の半導体領域を形成し、上記溝内にゲート絶縁膜を形成し、上記ゲート絶縁膜により上記チャンネル領域と絶縁してゲート電極を形成する。

【0007】 さらに、上記ワイドバンドギャップ半導体基板としてSiCからなるものを用いるのが好ましい。

【0008】

【発明の効果】 本発明に係る電界効果トランジスタにおいては、ドレイン電極とソース電極との間に高電圧が印加された場合、半導体領域から伸びる空乏層によってゲート絶縁膜にかかる電界がシールドされるから、ドレイン耐圧が高く、またチャンネル領域を溝の側壁にエピタキシャル成長させる必要がないから、プロセス工程が単純であり、また均質で欠陥の少ないチャンネル領域を形成することができるから、チャンネル抵抗が低い。

【0009】

【発明の実施の形態】 図1は本発明に係る電界効果トランジスタを示す一部切断斜視図である。図に示すように、N⁺型SiCからなるワイドバンドギャップ半導体基板210上にN型SiCからなるエピタキシャル領域220が形成され、エピタキシャル領域220上にN型SiCからなるチャンネル領域230が形成され、チャンネル領域230上にN⁺型SiCからなるソース領域240が形成され、エピタキシャル領域220の一主面側の所定の領域にエピタキシャル領域220に達する複数の凹型の溝250が形成されている。すなわち、隣接する溝250間にチャンネル領域230が形成されている。また、溝250の下部と隣接する部分およびチャンネル領域230の一部の表面にP型SiCからなる半導体領域260が形成され、溝250内にゲート絶縁膜270を介してゲート電極280が形成されている。ここで、ゲート電極280の材料としてはチャンネル領域230の多数キャリアが空乏化するような仕事関数の値を有するものを選択している。また、層間絶縁膜290に

よりゲート電極280と絶縁されてソース領域240に接続されたソース電極300が形成され、ワイドバンドギャップ半導体基板210の裏面にドレイン電極310が形成され、ソース電極300にソース端子320が接続され、ドレイン電極310にドレイン端子330が接続され、ゲート電極280にゲート端子340が接続されている。

【0010】この電界効果トランジスタにおいては、ゲート電極280に電圧が印加されていない状態では、ゲート電極280とチャンネル領域230との仕事関数差により多数キャリアが空乏化しており、ドレイン電極310とソース電極300との間は電流が非導通状態となる。そして、ドレイン電極310とソース電極300との間に電圧が印加された状態で、ゲート電極280に電圧が印加されると、ゲート電極280と対向したチャンネル領域230の表面にN型蓄積層型のチャンネルが形成され、ドレイン電極310からソース電極300に電流が流れる。

【0011】このような電界効果トランジスタにおいては、ドレイン電極310とソース電極300との間に高電圧が印加された場合、溝250の下部と隣接する部分に形成された半導体領域260から伸びる空乏層によってゲート絶縁膜270にかかる電界がシールドされるから、ドレイン耐圧が高い。また、チャンネル領域230を溝250の側壁にエピタキシャル成長させる必要がないから、プロセス工程が単純である。また、チャンネル領域230へのプロセス形成上のダメージが少なく、均質で欠陥の少ないチャンネル領域230を形成することができるから、チャンネル抵抗が低い。また、ゲート電極280の材料としてチャンネル領域230の多数キャリアが空乏化するような仕事関数の値を有するものを選択しているから、ゲート電極280に電圧が印加されない状態でチャンネルをオフにすることが容易である。

【0012】つぎに、図1に示した電界効果トランジスタの製造方法を図2～図6により説明する。まず、図2に示すように、ワイドバンドギャップ半導体基板210上に例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが0.1～数十 μm のエピタキシャル領域220を形成し、エピタキシャル領域220の表面に例えば不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 、厚さが数千 \AA ～数 μm のチャンネル領域230を形成し、さらにチャンネル領域230の表面に例えば不純物濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 、厚さが数十 \AA ～数 μm のソース領域240を形成する。つぎに、図3に示すように、所定の領域にパターンニングされた絶縁膜410をマスクとして、エピタキシャル領域220に達するように溝250を形成する。つぎに、図4に示すように、絶

縁膜410をマスクとして溝250の下部と隣接する部分に溝250からの不純物の拡散によって半導体領域260を形成する。このとき、所定の領域の絶縁膜410を除去したのちに半導体領域260を形成することにより、チャンネル領域230の一部の表面にも半導体領域260を形成する。つぎに、図5に示すように、溝250内に例えば厚さが100～3000 \AA の酸化膜よりなるゲート絶縁膜270を形成し、さらに溝250の内部にゲート電極280を形成する。つぎに、図6に示すように、溝250内に層間絶縁膜290を形成したのち、ソース領域240の表面にソース電極300を形成する。その後、ワイドバンドギャップ半導体基板210の裏面にドレイン電極310を形成する。

【0013】この電界効果トランジスタの製造方法においては、溝250からの不純物の拡散によって半導体領域260を形成するから、SiCにおいては高温でも不純物が拡散しにくく、深い接合を形成することが困難であったとしても、エピタキシャル領域220の内部に半導体領域260を容易に形成することができる。

【0014】なお、上述実施の形態においては、第1導伝型をN型とし、第2導伝型をP型としたが、第1導伝型をP型とし、第2導伝型をN型としてもよい。また、上述実施の形態においては、溝250の下部と隣接する部分に半導体領域260を形成したが、溝に隣接する部分に半導体領域を形成すればよい。

【図面の簡単な説明】

【図1】本発明に係る電界効果トランジスタを示す一部切断斜視図である。

【図2】図1に示した電界効果トランジスタの製造方法の説明図である。

【図3】図1に示した電界効果トランジスタの製造方法の説明図である。

【図4】図1に示した電界効果トランジスタの製造方法の説明図である。

【図5】図1に示した電界効果トランジスタの製造方法の説明図である。

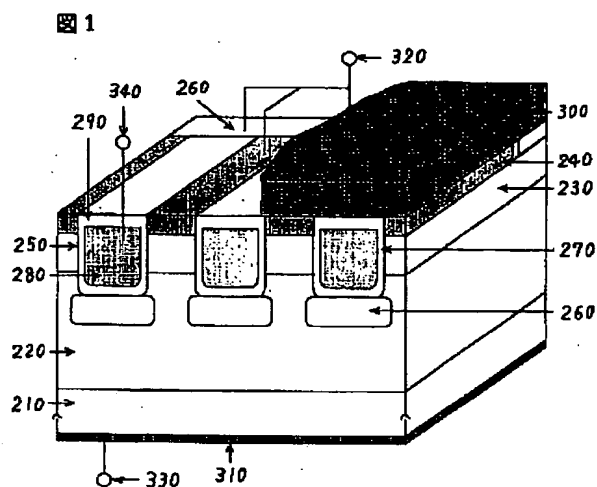
【図6】図1に示した電界効果トランジスタの製造方法の説明図である。

【図7】従来の電界効果トランジスタを示す断面図である。

【符号の説明】

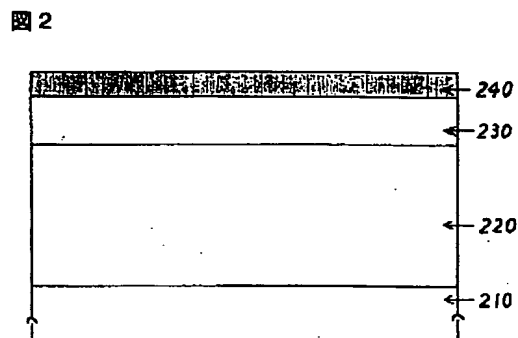
210…ワイドバンドギャップ半導体基板
230…チャンネル領域
250…溝
260…半導体領域
270…ゲート絶縁膜

【図1】

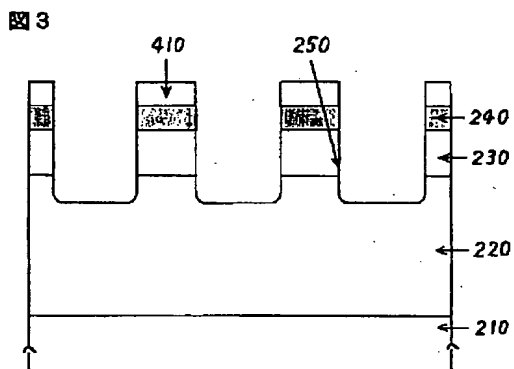


210…ワイドバンドギャップ半導体基板
230…チャンネル領域
250…溝
260…半導体領域
270…ゲート絶縁膜

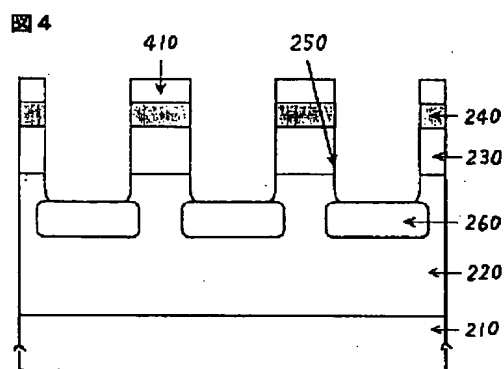
【図2】



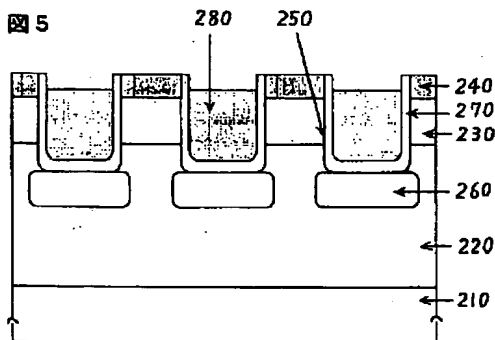
【図3】



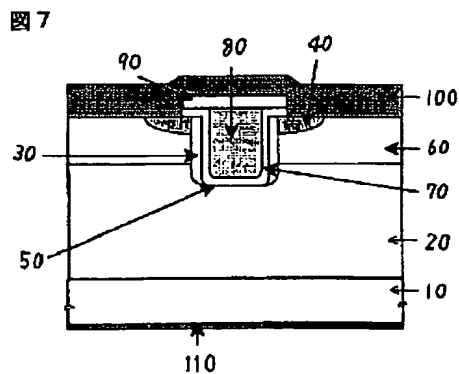
【図4】



【図5】



【図7】



【図6】

図6

